

Lecture 19: 知识 - 数据通路的功能和基本结构

概述: 不同的总线结构

- 1. CPU 内部单总线结构;
- 2. CPU 内部多总线结构;
- 3. 专用数据通路;

基础概念

数据通路

概念: 数据通路

- 概念:
 - 数据通路指的是指令执行过程中数据所经过的路径, 以及路径上的部件;
- 内容:
 - **真题:** 2021年
 - 数据通路包括 ALU 等组合逻辑元件;
 - 数据通路包含寄存器等时序逻辑元件;
 - 数据通路包括用于异常事件检测及其响应的电路;
 - 数据通路中的数据流动路径由控制信号进行控制;
- 注意:
 - CU 控制器不包含在数据通路中;

指令执行方案

概念: 指令执行方案

- 一个指令周期通常要包括几个时间段 (执行步骤), 每个步骤完成指令的一部分功能, 几个依次执行的步骤完成这条指令的全部功能;

概念: 单指令周期

- 概念:
 - 对所有指令都选用相同的执行时间来完成;
- 特点:
 - (1) 指令之间 **串行执行**;
 - (2) 指令周期取决于执行时间最长的指令的执行时间 $\rightarrow CPI=1$;
 - (3) 在指令的执行过程中 **控制信号不变**;
 - 单周期处理器在执行一条指令的过程中, 只有一个时钟周期, 控制信号不变;
 - 多处理器执行一条指令需要多个时钟周期, 每个时钟周期需要完成不同的操作, 因此 **不同时钟周期的信号不同**;
- 优点:

- 设计简单;
- 缺点:
 - 处理器的时钟频率较低;
 - 由于所有指令均要在一个时钟周期完成, CPU 时钟周期考虑到比较慢的指令会较长, 因此 CPU 时钟频率较低;

概念: 多指令周期

- 概念:
 - 对不同类型的指令选用不同的执行步骤来完成;
- 特点:
 - 指令之间串行执行;
 - 可选用不同个数的时钟周期来完成不同指令的执行过程;
- 优点:
 - 性能更好;
- 缺点:
 - 设计复杂;

概念: 流水线方案

- 概念: 在一个时钟周期内启动一条指令, 尽量让多条指令同时运行, 但各自处于不同的执行步骤当中, 指令之间并行执行;

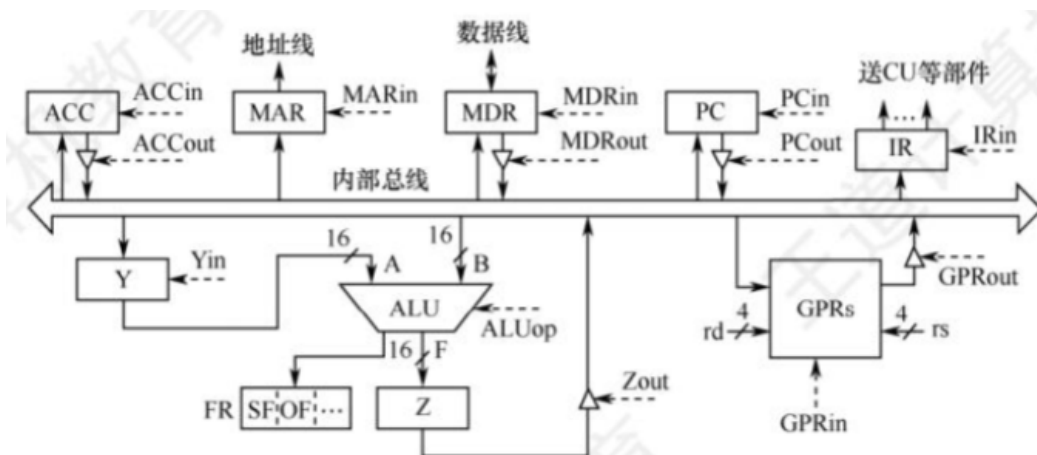
单总线结构

单总线结构介绍

概念: 单总线结构

- 概念:
 - 将 ALU 及所有寄存器都连接到一条内部公共总线上, 称为单总线结构的数据通路;
 - 这种结构比较简单, 但数据传输存在较多的冲突现象, 性能较低;
 - 此总线在 CPU 内部, 注意不要把它与连接 CPU、存储器和外设的系统总线相混淆;
- 两种总线:
 - 内部总线:
 - 是指的同一部件内连接各个寄存器以及运算部件之间的总线;
 - 系统总线:
 - 一台计算机系统的各个部件之间的总线;
- 各部件:
 - GPRs: 通用寄存器组, rs、rd 分别为所读、写的通用寄存器的编号;
 - Y 和 Z: 暂存寄存器;
 - FR: 标志寄存器, 用于存放 ALU 产生的标志信息;
 - 控制信号: 带箭头的虚线表示控制信号, 字母加“in”表示该部件允许写入, 字母加“out”表示该部件允许输出;
 - MDRin: 表示内部总线上信息写入 MDR;

- **MDRout**：表示 **MDR** 的内容送入内部总线；
- 三态门：能输出到总线的部件均通过一个三态门与内部总线相连，用于控制该部件与内部总线之间数据通路的连接与断开；
- 注意：
 - **真题**：2016年
 - **单总线结构不能用于单周期处理器**，因为单周期处理器中所有指令都在一个时钟周期内完成，而单总线结构因为它只有一条总线，**CPU** 里面无法在同一个时钟周期里面相容的完成多个操作；
- 图示：



单总线数据通路操作

概念：寄存器之间的数据传送

- 举例：把 **PC** 内容送至 **MAR**，实现传送操作的流程及控制信号为：

(PC)→Bus PCout有效，PC内容送总线
Bus→MAR MARin有效，总线内容送至MAR

- 也可以写为：(PC)→Bus→MAR

概念：主存和 **CPU** 之间的数据流通

- 举例：**CPU** 从主存中读取指令

(PC)→Bus→MAR PCout和MARin有效，现行指令地址→MAR //PC中存储下一条指令的地址，因此将PC中内容送入总线，并送至MAR，进而去内存中访问此地址、取得指令
1→R CU发读命令(通过控制总线发出) //这个部分代表发出一个读或者写的信号
MEM(MAR)→MDR MDRin有效
MDR→Bus→IR MDRout和IRin有效，现在需要执行的、从内存中读取的指令→IR

概念：执行算术或逻辑运算

- 举例：执行一条加法指令

Ad(IR)→Bus→MAR MDRout和MARin有效 // Ad(IR)的意思是：从IR中，取出当前加法指令中的地址码部分

1→R

MEM(MAR)→数据线→MDR

MDR→Bus→Y

(ACC)+(Y)→Z

Z→ACC

CU发出读信号

MDRin有效

MDRout和Yin有效，操作数→Y //Y是暂存寄存器

ACCout和ALUin有效，CU向ALU发送加命令

Zout和ACCin有效，结果放入ACC中

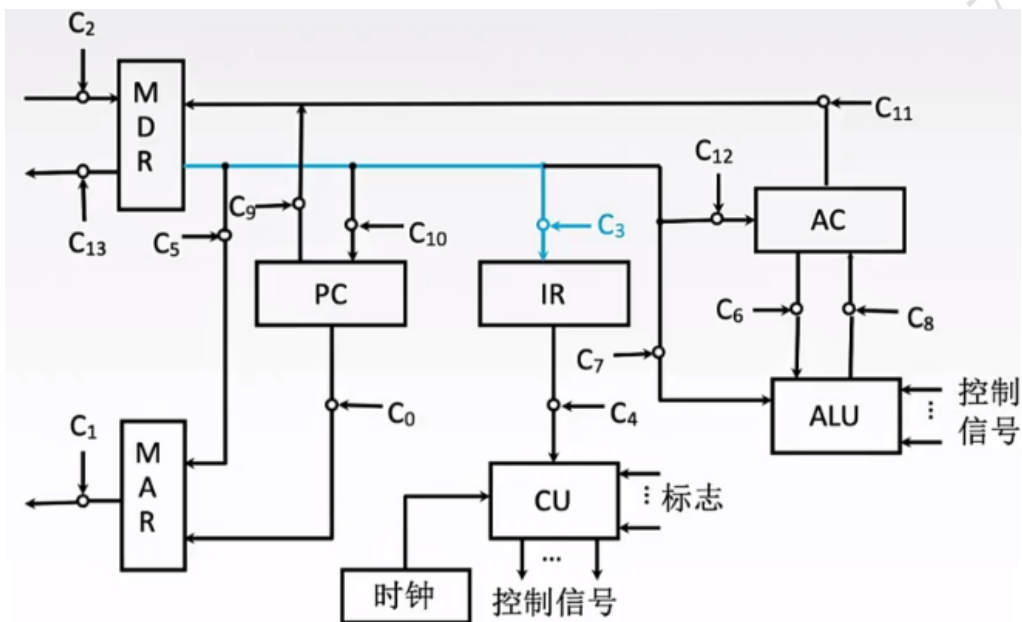
专用数据通路

概念： 专用数据通路

• 概念：

- 根据指令执行过程中的数据和地址的流动方向安排连接电路，避免使用共享的总线，性能较高，但硬件量大；

• 图示：



概念： 取指周期的操作

• 图示：

(PC)→MAR	C ₀ 有效
(MAR)→主存	C ₁ 有效
1→R	控制单元向主存发送读命令
M(MAR)→MDR	C ₂ 有效
(MDR)→IR	C ₃ 有效
(PC)+1→PC	
Op(IR)→CU	C ₄ 有效